



CERTIFIED COPY OF  
PRIORITY DOCUMENT

## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 103 34 577.9

**Anmeldetag:** 28. Juli 2003

**Anmelder/Inhaber:** Infineon Technologies AG, 81669 München/DE

**Bezeichnung:** Verfahren zum Aufbringen einer Umverdrahtung auf einen Nutzen unter Kompensation von Positionsfehlern von Halbleiterchips in Bauteilpositionen des Nutzens

**IPC:** H 01 L, H 05 K

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 17. März 2006  
Deutsches Patent- und Markenamt  
Der Präsident  
Im Auftrag

Letang



## Beschreibung

Verfahren zum Aufbringen einer Umverdrahtung auf einen Nutzen  
unter Kompensation von Positionsfehlern von Halbleiterchips  
5 in Bauteilpositionen des Nutzens

Die Erfindung betrifft ein Verfahren zum Aufbringen einer Um-  
verdrahtung auf einen Nutzen unter Kompensation von Positi-  
10 onsfehlern von Halbleiterchips in Bauteilpositionen des Nut-  
zens.

Bei Anwendungen, die darauf basieren, einen Halbleiterchip in  
einer Polymer- oder Kunststoffmasse derart einzubetten, dass  
15 die Oberseiten von Halbleiterchip und Kunststoffmasse eine  
Gesamtoberseite bilden, wie es beispielsweise bei der Mehr-  
chipmodultechnik bzw. MCMs-Technik (multi chip modul) oder  
bei der Chip-in-Polymer-Technik vorgesehen ist, werden ausge-  
hend von den aktiven Oberseiten der Halbleiterchips mit ihren  
20 Kontaktflächen Umverdrahtungen benötigt, um die Kontaktflä-  
chen der Halbleiterchips mit Außenkontaktflächen auf der Ge-  
samtoberseite für ein vorgegebenes Außenkontaktraster zu ver-  
binden. Dazu sind die Halbleiterchips in dem Nutzen aus einer  
Kunststoffmasse in Bauteilpositionen untergebracht. Die Bau-  
25 teilpositionen des Nutzens sind in Zeilen und Spalten ange-  
ordnet, wobei die Kanten der Halbleiterchips parallel zu den  
Spalten und Zeilen des Nutzens verlaufen.

Die Umverdrahtung in jeder der Bauteilpositionen des Nutzens  
30 wird durch Umverdrahtungslagen in Form einer Folge aus Me-  
tall- und Dielektrikum-Schichten realisiert. Die Strukturie-  
rung der einzelnen Schichten erfolgt durch Abscheideprozesse,  
die ganzflächig erfolgen und durch Photolithographieprozesse,

bei denen die ganzflächigen Abscheidungen strukturiert werden. Diese Photolithographieprozesse können auf der Gesamtoberseite des Nutzens für mehrere Bauteilpositionen gleichzeitig durchgeführt werden, wenn äußerst enge Toleranzen von  
5 wenigen Mikrometern bei der Ausrichtung der Halbleiterchips in den Bauteilpositionen eingehalten werden. Jedoch ergibt sich innerhalb des Nutzens das Problem, dass die zu verdrahtenden Chips aufgrund der Bestückungstoleranzen beim Herstellen des Nutzens Positionsungenauigkeiten aufweisen. Derarti-  
10 ge Positionsungenauigkeiten können dazu führen, dass mit den herkömmlichen Belichtungsprozessen der Photolithographie erhebliche Ausfälle in der Ausbeute auftreten.

Bei einer Größenordnung der Kontaktflächen von 90 µm ist eine  
15 Mindestgenauigkeit für die Ausrichtung der Halbleiterchips innerhalb der Zeilen und Spalten der Bauteilpositionen von +/- 25 µm einzuhalten. Bei größeren Positionsabweichungen der Halbleiterchips in den Bauteilpositionen können bereits Kontaktflächen auftreten, die nicht mehr von einer Verdrahtung  
20 erreicht werden. Eine Kompensation von Positionsfehlern von Halbleiterchips in den Bauteilpositionen eines Nutzens ist durch Einsatz eines Laserschreibverfahrens möglich, bei dem eine Fotolackschicht durch einen schreibenden Laser belichtet wird. Jedoch aufgrund der hohen erforderlichen Umverdrahtungs-  
25 dichten auf einem Nutzen und der Größe der zu belichtenden Fläche pro Nutzen ist dieses Belichten durch Abtasten mit einem Laserschreibstrahl ein zeitaufwendiges Verfahren und nachteilig mit hohen Prozesskosten verbunden.

30 Eine weitere Möglichkeit zur Kompensation von Positionsfehlern, die über einen minimalen Toleranzausgleich hinausgehen, wäre die Möglichkeit, jede Bauteilposition einzeln zu belichten und sequentiell sämtliche Bauteilpositionen des Nutzen

f

nacheinander mit einer Verdrahtung zu versehen. Dabei wird in jeder der Bauteilpositionen des Nutzens eine Maske neu ausgerichtet, so dass die Positionsfehler des Chips zwar für die Umverdrahtung kompensiert werden, jedoch wird der Positionsfehler auf die Anordnung der Außenkontaktflächen und damit auf die von außen sichtbaren Außenkontakte übertragen. Dieses Verfahren ergibt ebenfalls einen geringeren Durchsatz durch das sequentielle Abarbeiten des Nutzens gegenüber dem Einsatz einer einzigen Gesamtmaske, die mit einem Belichtungsschritt auskommt.

Ein weiterer Nachteil ist, dass durch die unabhängige Justierung jedes einzelnen Einbauplatzes, zwar die Positionsfehler der Halbleiterchips ausgeglichen werden, aber durch die individuelle Ausrichtung ergibt sich für die Matrix und das Raster der Außenkontakte kein einheitliches Gitter mehr. Die Außenkontakte der einzelnen Bauteilpositionen liegen dann nicht mehr parallel zu den Außenrändern der Halbleiterbauteile, sondern weisen einen X-/Y-Versatz bzw. eine Verdrehung zueinander auf. Ein derart uneinheitliches Raster der Außenkontaktflächen aufgrund der Positionsfehler der Halbleiterchips führt auch zu Problemen, die Außenkontakte in Form von Lotbällen einhaltlich aufzubringen. Da sowohl die Druckprozesse, als auch die galvanische Abscheidung und die mechanische Ausrichtung von Lotbällen ein definiertes und reproduzierbares Rastermaß im Rahmen einer einheitlichen Matrix voraussetzen.

Nach dem Vereinzeln entsteht bei dieser Methode der Einzelkompensation der Positionsfehler ein elektronisches Bauteil mit Gehäusen, die ein Lotball-Raster mit variierenden Positionen zur Gehäusekante aufweisen. Dies wiederum kann zu Problemen beim Testen, sowie bei der Weiterverarbeitung oder dem Einsatz der elektronischen Bauteile in einer Fertigungsanlage

führen, wenn die Positionsfehler größer werden als es die JEDEC-Normen zulassen.

Aufgabe der Erfindung ist es, ein Verfahren zum Aufbringen  
5 einer Umverdrahtung auf einen Nutzen unter Kompensation von  
Positionsfehlern von Halbleiterchips in Bauteilpositionen des  
Nutzens anzugeben, das die Prozessdauer verkürzt, den Ausschuss vermindert und höhere Toleranzen beim Ausrichten der  
Halbleiterchips in Zeilen und Spalten zum Herstellen eines  
10 Nutzens zulässt.

Diese Aufgabe wird mit dem Gegenstand der unabhängigen Ansprüche gelöst. Vorteilhafte Weiterbildungen der Erfindung ergeben sich aus den abhängigen Ansprüchen.

15 Erfindungsgemäß wird ein Verfahren zum Aufbringen einer Umverdrahtung auf einen Nutzen unter Kompensation von Positionsfehlern von Halbleiterchips in Bauteilpositionen des Nutzens angegeben, wobei das Verfahren die nachfolgenden Verfahrensschritte aufweist. Zunächst wird ein Nutzen bereitgestellt, der in Zeilen und Spalten angeordnete Bauteilpositionen aufweist. In den Bauteilpositionen sind Halbleiterchips  
20 angeordnet, deren Kanten nicht genau entsprechend den Zeilen und Spalten ausgerichtet sind, womit sich Positionsfehler ergeben. Um diese Positionsfehler zu kompensieren, werden zwei Umverdrahtungsmasken hergestellt, wobei eine erste Maske ausschließlich Außenkontaktflächen für den ganzen Nutzen auf  
25 vorbestimmten Positionen in den Bauteilpositionen aufweist.

30 Eine zweite Maske weist ein einheitliches Umverdrahtungsmuster mit Umverdrahtungsleitungen für die Bauteilpositionen zum Verbinden von Kontaktflächen auf aktiven Oberseiten der Halbleiterchips mit Außenkontaktflächen auf dem Nutzen auf.

9

Nun wird zunächst die Struktur der ersten Maske auf den Nutzen mit einem ersten Belichtungsschritt zur Vorbereitung der Ausbildung von Außenkontaktflächen in den Bauteilpositionen übertragen. Anschließend wird eine optische Lageerfassung und  
5 eine Auswertung der Positionsfehler der Halbleiterchips in den Bauteilpositionen des Nutzens und ein Berechnen der optimalen Ausrichtung der zweiten Maske vorgenommen.

Danach wird die zweite Maske mit den Umverdrahtungsleitungen  
10 unter Kompensation der Positionsfehler der Halbleiterchips in den einzelnen Bauteilpositionen des Nutzens und unter Übertragen des Umverdrahtungsmusters der zweiten Maske mit einem zweiten Belichtungsschritt zur Vorbereitung der Ausbildung von Umverdrahtungsleitungen zwischen Kontaktflächen auf den  
15 Halbleiterchips und Außenkontaktflächen in den einzelnen Bauteilpositionen des Nutzens nacheinander durchgeführt.

Dieses Verfahren hat gegenüber den oben beschriebenen Verfahren den Vorteil, dass es mit zwei Belichtungsschritten einer  
20 Photolithographieschicht auskommt, um die Positionsfehler der Halbleiterchips zu kompensieren. Dabei wird die zweite Maske mit den Umverdrahtungsleitungen derart positioniert, dass die Umverdrahtungsleitungen sämtliche Kontaktflächen einer Bauteilposition auf den Oberseiten der Halbleiterchips des Nutzens möglichst genau treffen. Demgegenüber werden die Außen-  
25 kontaktflächen, die größer sind, als die Kontaktflächen, an beliebigen Stellen von den Umverdrahtungsleitungen überlappt, so dass eine Verbindung zwischen Außenkontaktflächen und Kontaktflächen trotz Positionsfehlern der Halbleiterchips mit  
30 den beiden Masken erreicht wird.

Die zweite Maske enthält die Kontaktflächen des Halbleiterchips und die Umverdrahtungen zu den Außenkontaktflächen und

10

kann als Stepper-Retikel ausgeführt sein. Diese zweite Maske wird bei jedem Stepper-Schritt für jede Bauteilposition separat justiert und zum Halbleiterchip ausgerichtet. Damit erreicht dieses Verfahren mit zwei Belichtungsstufen eine verbesserte Kompensation von Positionsungenauigkeiten der Halbleiterchips, da im Verhältnis zur Bestückungstoleranz wesentlich größere Außenkontaktflächen als Ausgleichsflächen oder als Koppelflächen für die Umverdrahtungsleitungen zur Verfügung stehen.

10

Trotz einer Verwendung eines Maskensteppers wird ein fixes und definiertes Raster der Außenkontaktflächen im Verhältnis zu den Zeilen und Spalten des Nutzens eingehalten und erreicht, so dass die oben erwähnten Probleme beim Anbringen von Lotbällen und beim Auftrennen des Nutzens zu Einzelbauteilen durch diese zweistufige Belichtung mit zwei Masken gelöst sind. Darüber hinaus ergibt sich der Vorteil, dass durch die exakte Ausrichtung der zweiten Maske zum Halbleiterchip bzw. zu den Kontaktflächen des Halbleiterchips diese Kontaktflächen verkleinert werden können. Eine Verkleinerung der Kontaktflächen bringt neben einer Flächensparnis auf dem Halbleiterchip aus Silicium die Möglichkeit, feinere Schrittweiten bzw. "Pitches", sowie eine höhere Verdrahtungsdichte zu realisieren, da mehr Platz für Leiterbahnen zwischen zwei Kontaktflächen möglich wird.

25

Während das Übertragen der Struktur der ersten Maske zur Vorbereitung von Außenkontaktflächen für den gesamten Nutzen mittels Kontaktbelichten durchgeführt werden kann, wird für das Justieren und Übertragen der Struktur der zweiten Maske ein Projektionsbelichten vorteilhaft eingesetzt. Bei dem Projektionsbelichten wird ein um den Faktor 10 größeres Retikel mit einer um den Faktor 10 vergrößerten Struktur der zweiten

30

11

Maske auf jede einzelne Bauteilposition des Nutzens bei gleichzeitiger Verkleinerung um den Faktor 10 projiziert.

Bei einer weiteren Lösung des Problems der Kompensation von Positionierfehlern von Halbleiterchips innerhalb der Bauteilpositionen eines Nutzens wird anstelle der ersten Maske eine Gesamtumverdrahtungsmaske mit Außenkontaktflächen und Umverdrahtungsleitungen eingesetzt. Jedoch erstrecken sich diese Umverdrahtungsleitungen nicht bis zu den Kontaktflächen des Halbleiterchips in den einzelnen Bauteilpositionen, sondern lediglich bis etwa zu den Kanten der Halbleiterchips. Somit wird durch den ersten Belichtungsschritt mit der Gesamtumverdrahtungsmaske die Struktur für die Außenkontakte und für die Umverdrahtungsleitungen weitestgehend realisiert. Lediglich kurze Leitungsstücke zwischen den Enden der Umverdrahtungsleitungen im Bereich der Kanten der Halbleiterchips und den Kontaktflächen auf der aktiven Oberseite des Halbleiterchips werden mit der Gesamtumverdrahtungsmaske nicht fertig gestellt.

20

Dazu wird zunächst die optische Lageerfassung und Auswertung der Positionsfehler der Halbleiterchips in den Bauteilpositionen des Nutzens durchgeführt. Danach folgt als zweiter Belichtungsschritt ein Laserstrukturieren von verbindenden Leitungsstücken zwischen den Enden der Umverdrahtungsleitungen an den Kanten der Halbleiterchips und den Kontaktflächen auf den aktiven Oberseiten der Halbleiterchips durch einen Laserschreibstrahl. Dieses Laserstrukturieren zur Herstellung von Verbindungsstücken lässt eine größere Positionsungenauigkeit der Halbleiterchips in den einzelnen Bauteilpositionen zu, da die Ausgleichsmöglichkeiten durch einen Laserschreibstrahl und damit die Kompensation von Positionsfehlern verbessert sind. Die optische Lageerfassung und Auswertung der Positi-

30



onsfehler der Halbleiterchips in den Bauteilpositionen des Nutzens dient dazu, die Ausrichtung der Gesamtumverdrahtungsmaske bei der ersten Belichtung derart zu optimieren, dass ein geringster mittlerer Abstand zwischen den Enden der Umverdrahtungsleitungen und den Kontaktflächen auf den aktiven Oberseiten der Halbleiterchips erreicht wird. Dadurch wird die Schreibdauer des Laserschreibstrahls optimiert und verringert und somit die Prozesskosten minimiert.

- 10 Auch in diesem Fall wird mit der Gesamtumverdrahtungsmaske ein konstantes Gitter für die Außenkontaktflächen und damit für die Gehäuseaußenkontur erreicht. Ein weiterer Vorteil besteht darin, dass je nach Ausführung der Schreibgeometrie des Laserstrahls unterschiedlich große Positionsfehler des Chips
- 15 ausgeglichen und kompensiert werden können. Jedoch aufgrund der geringen Schreiblänge der Leitungsstücke, die noch zu verwirklichen sind, ist das Verfahren kostengünstiger, als eine komplette Herstellung der Umverdrahtungsstruktur des Nutzens durch ein Laserstrukturieren mittels eines Laserschreibstrahls.
- 20

- Die Strukturen der Masken und/oder der Schreibmuster des Laserschreibstrahls sind derart aneinander angepasst, dass zur Übertragung der gesamten Struktur auf den Nutzen eine einzige
- 25 Fotolackschicht auf einer zu strukturierenden Metallschicht des Nutzens für beide Belichtungsschritte aufgebracht werden kann. Um das erfindungsgemäße Verfahren in seinen beiden Aspekten optimal zu nutzen bzw. zu maximieren, wird eine spezielle Ausrichtstrategie oder Justagestrategie durchgeführt.
- 30 Dazu ist die erste Voraussetzung, wie bereits erwähnt, die optische Lageerfassung aller Chippositionen eines Nutzens. Anschließend wird ein Algorithmus zur Berechnung der optimalen Lage der ersten bzw. der Gesamtumverdrahtungsmaske auf

13

- der Basis des geringsten mittleren Versatzes verwendet. Als nächstes erfolgt das Ausrichten und Belichten mit Hilfe der ersten Maske oder auch der Gesamtumverdrahtungsmaske und schließlich ist ein Ausrichten bzw. ein Positionieren des
- 5 Schreibmusters des Laserstrahls oder des Retikels der zweiten Maske einschließlich Belichtung erforderlich.

- Ein Nachweis, dass das erfindungsgemäße Verfahren für Halbleiterbauteile verwendet wurde, kann durch einen einfachen
- 10 Vergleich der Umverdrahtungsleitungsstruktur, die nach dem erfindungsgemäßen Verfahren hergestellt wurde, mit Leitungsstrukturen, die mit Hilfe herkömmlicher Verfahren hergestellt wurden, erfolgen. Dabei ist es für Bauteile, die mit einem Verfahren der vorliegenden Erfindung hergestellt wurden, charakteristisch, dass die Außenkontakte völlig gleichförmig in
- 15 einer Matrix angeordnet sind, welche nach den Kanten des Bauteilgehäuses ausgerichtet ist. Darüber hinaus sind die durch Laserschreiben erzeugten Leitungsstücke aufgrund ihrer Einmaligkeit durch Verbinden von Umverdrahtungsleitungen mit
- 20 Kontaktflächen auf dem Halbleiterchip jederzeit nachweisbar. Auch die charakteristische Anbindung der Umverdrahtungsleitungen an die Außenkontaktflächen bei Einsatz von einer ersten und einer zweiten Maske lassen sich an den hergestellten Bauteilen jederzeit nachweisen.

- 25 Zusammenfassend ist festzustellen, dass mit der vorliegenden Erfindung eine Kompensation von Positionsfehlern von Halbleiterchips in größerem Maßstab, als bisher möglich wird und gleichzeitig eine Uniformität des äußeren Erscheinungsbilds
- 30 der Gehäuse und der Anordnung der Außenkontakte mit diesem Verfahren erreicht werden kann, welche mit den bisherigen Verfahren nicht möglich ist oder nur mit hohem Aufwand durch großflächiges Laserschreiben erreicht werden kann.

14

Die Erfindung wird nun an Hand der beiliegenden Figuren näher erläutert.

5    Figur 1    zeigt eine schematische Draufsicht auf eine Bauteilposition eines Nutzens, gemäß eines ersten Durchführungsbeispiels des Verfahrens der Erfindung,

10   Figur 2    zeigt einen schematischen Querschnitt durch einen Nutzen, für eine Ausführungsform der Erfindung,

Figur 3    zeigt eine schematische Draufsicht auf einen Nutzen, für die Ausführungsform gemäß Figur 2,

15

Figur 4    zeigt eine schematische Draufsicht auf eine Bauteilposition eines Nutzens gemäß einer weiteren Durchführungsbeispiels des Verfahrens gemäß der Erfindung.

20

Figur 1 zeigt eine schematische Draufsicht auf eine Bauteilposition 4 eines Nutzens, gemäß eines ersten Durchführungsbeispiels des Verfahrens der Erfindung. Dazu zeigt diese Draufsicht die Gesamtoberseite 16 einer derartigen Bauteilposition 4. Diese Gesamtoberseite 16 setzt sich aus einer koplanaren Oberseite 28 einer Kunststoffmasse 15 und einer aktiven Oberseite 12 eines Halbleiterchips 3 zusammen. Auf der Gesamtoberseite 16 ist eine Verdrahtung 1 angeordnet.

25

30    Bei der Herstellung eines Nutzens, der eine derartige Bauteilposition 4 aufweist, wird der Halbleiterchip 3 in die Kunststoffmasse 15 mit seiner Rückseite und seinen Randseiten, welche in dieser Draufsicht nicht zu sehen sind, einge-

bettet. Bei diesem Einbetten kann es zu Positionsungenauigkeiten kommen, die in dieser Draufsicht dadurch zu erkennen sind, dass die Begrenzungslinien 17, 18, 19 und 20 der Bauteilposition 4 nicht parallel zu den Kanten 21, 22, 23 und 24 des Halbleiterchips 3 verlaufen.

Demgegenüber sind die Außenkontaktflächen 8, die nach ihrem Aufbringen auf die Bauteilposition 4 Außenkontakte tragen, in einer Matrix angeordnet, die nach den Begrenzungslinien 17, 18, 19 und 20 der Bauteilposition 4, ausgerichtet ist. Diese Außenkontaktflächen 8 werden nämlich unabhängig von der Ausrichtung und dem Positionierungsfehler des Halbleiterchips 3 mit einer getrennten ersten Maske, die über den gesamten Nutzen mit mehreren Bauteilpositionen 4 gelegt wird, ausgerichtet, justiert und hergestellt.

Eine zweite Maske umfasst lediglich das Umverdrahtungsmuster 9 mit den Umverdrahtungsleitungen 10. In jeder einzelnen Bauteilposition wird diese zweite Maske exakt auf die Kontaktflächen 11 der aktiven Oberseite 12 des Halbleiterchips 3 ausgerichtet. Damit wird erreicht, dass der Flächenbedarf der Kontaktflächen 11 auf dem Halbleiterchip 3 minimiert werden kann und die Umverdrahtungsleitungen 10 völlig unterschiedlich die Außenkontaktflächen 8 überlagern. Dieses Verfahren, welches mit zwei Belichtungsschritten durchgeführt wird und zwei Lithographieschritte aufweist, kann nur insoweit die Positionsfehler kompensieren, als sämtliche Umverdrahtungsleitungen 10 ihre vorgesehenen Außenkontakte 8 noch überlappen.

Figur 2 zeigt einen schematischen Querschnitt durch einen Nutzen 2, für eine Ausführungsform der Erfindung. Der Nutzen 2 zeigt in diesem Querschnitt, dass er aus einer Kunststoffmasse 15 besteht, in die Halbleiterchips 3 mit ihren Rücksei-

16

ten 25 und ihren Randseiten 26 und 27 eingebettet sind. Dabei bilden die Oberseite 12 der Halbleiterchips 3 zusammen mit der Oberseite 28 der Kunststoffmasse 15 eine Gesamtoberseite 16. Diese Gesamtoberseite 16 kann eine Umverdrahtungslage 5 tragen, die Außenkontaktflächen und Umverdrahtungsleitungen aufweist.

Figur 3 zeigt eine schematische Draufsicht auf einen Nutzen 2 für die Ausführungsform, gemäß Figur 2. Der Außenumfang 29 des Nutzens 2 ist kreisförmig und einem Halbleiterwafer nachgebildet, so dass derartige Nutzen auch "Wafer-Nutzen" genannt werden. Der hier gezeigte "Wafer-Nutzen", weist beispielhaft 12 Bauteilpositionen 4 auf, die in Zeilen 6 und Spalten 7 angeordnet sind. Jede der Bauteilpositionen 4 weist in dieser Ausführungsform der Erfindung einen Halbleiterchip 3 mit Kanten 5 in ihrem Zentrum auf. Dabei ist zu erkennen, dass Kanten 17, 18, 19 und 20 oder Halbleiterchips gegenüber den Begrenzungslinien 17, 18, 19 und 20 jeder Bauteilposition 4 teilweise in X-Richtung, in Y-Richtung, also lateral, einen Versatz aufweisen und teilweise auch in der jeweiligen Bauteilposition 4 verdreht auftreten. Diese Positionsfehler würden bis zur Anordnung von Außenkontaktflächen durchdringen und damit unterschiedliche Umrisse der Gehäuse der Halbleiterbauteile bewirken, wenn nicht durch die vorliegende Erfindung die Positionsfehler kompensiert werden können. Zur Kompensation dieser Fehler zeigt Figur 4 ein weiteres Ausführungsbeispiel.

Figur 4 zeigt eine schematische Draufsicht auf eine Bauteilposition 4 eines Nutzens, gemäß eines weiteren Durchführungsbeispiels der Erfindung. Komponenten mit gleichen Funktionen, wie in den vorhergehenden Figuren werden mit gleichen Bezugszeichen gekennzeichnet und nicht extra erörtert.

17

Auch das hier gezeigte Umverdrahtungsmuster 9 aus Außenkontaktflächen 8, Umverdrahtungsleitungen 10 und Kontaktflächen 11 auf dem Halbleiterchip 3, kompensiert einen Positionsfehler des Halbleiterchips 3 innerhalb der Bauteilposition 4. In diesem Durchführungsbeispiel des Verfahrens sind auf einer ersten Maske, die für den gesamten Nutzen strukturiert ist, sowohl Außenkontaktflächen 8, als auch Umverdrahtungsleitungen 10 vorgegeben. Jedoch reichen die Umverdrahtungsleitungen nicht bis zu den Kontaktflächen 11 des Halbleiterchips 3, sondern weisen ein Ende 14 auf, das noch vor den Kanten 21, 22, 23 und 24 des Halbleiterchips 3 angeordnet ist.

Die Kontaktflächen 11 auf der aktiven Oberseite 12 des Halbleiterchips 3 können somit nicht mit einem Belichtungsschritt unter Zuhilfenahme dieser Gesamtumverdrahtungsmaske mit den Außenkontaktflächen 8 verbunden werden. Vielmehr werden mit einem zweiten Belichtungsschritt die Kontaktflächen 11 mit den Enden 14 der Umverdrahtungsleitungen 10 über Leitungsstücke 13 verbunden. Diese Leitungsstücke 13 entstehen durch Belichtung mittels eines Laserschreibstrahls. Auf diese Weise können erheblich größere Positionsfehler der Halbleiterchips 3 in den Bauteilpositionen 4 kompensiert werden, da die Anpassung durch Leitungsstücke 13 mittels Laserschreiben oder Laserstrukturieren eine hohe Flexibilität bereit hält.

19

## Patentansprüche

1. Verfahren zum Aufbringen einer Umverdrahtung (1) auf einen Nutzen (2) unter Kompensation von Positionsfehlern von Halbleiterchips (3) in Bauteilpositionen (4) des Nutzens (2), wobei das Verfahren folgende Verfahrensschritte aufweist:

- 5  
10  
15  
20  
25  
30  
- Bereitstellen eines Nutzens (2) mit in Zeilen (6) und Spalten (7) angeordneten Bauteilpositionen (4), wobei in den Bauteilpositionen (4) Halbleiterchips (3) angeordnet sind, deren Kanten (5) nicht genau entsprechend den Zeilen (6) und Spalten (7) ausgerichtet sind, so dass sie Positionsfehler aufweisen,
- Herstellen von zwei Umverdrahtungsmasken, wobei eine erste Maske ausschließlich Außenkontaktflächen (8) für den ganzen Nutzen (2) auf vorbestimmten Positionen in den Bauteilpositionen (4) aufweist, und eine zweite Maske ein einheitliches Umverdrahtungsmuster (9) mit Umverdrahtungsleitungen (10) für eine einzelne Bauteilposition (4) zum Verbinden von Kontaktflächen (11) von aktiven Oberseiten (12) der Halbleiterchips (3) mit den Außenkontaktflächen (8) aufweist,
- Übertragen der Struktur der ersten Maske auf den Nutzen (2) mit einem ersten Belichtungsschritt zur Vorbereitung der Ausbildung von Außenkontaktflächen (8) in den Bauteilpositionen (4),
- optische Lageerfassung und Auswertung der Positionsfehler der Halbleiterchips (3) in den Bauteilpositionen (4) des Nutzens (2) und Berechnen der optimalen Ausrichtung der zweiten Maske,

5                   -     Justieren der zweiten Maske unter Kompensation der  
                      Positionsfehler der Halbleiterchips (3) in den ein-  
                      zelnen Bauteilpositionen (4) des Nutzens (2) nach-  
                      einander und Übertragen des Umverdrahtungsmusters  
10                   (9) der zweiten Maske mit einem zweiten Belich-  
                      tungsschritt zur Vorbereitung der Ausbildung von  
                      Umverdrahtungsleitungen (10) zwischen Kontaktflä-  
                      chen (11) auf den Halbleiterchips (3) und Außenkon-  
                      taktflächen (8) in den einzelnen Bauteilpositionen  
                      (4) des Nutzens (2) nacheinander.

15           2.     Verfahren zum Aufbringen einer Umverdrahtung (1) auf ei-  
                      nen Nutzen (2) unter Kompensation von Positionsfehlern  
                      von Halbleiterchips (3) in Bauteilpositionen (4) des  
                      Nutzens (2), wobei das Verfahren folgende Verfahrens-  
                      schritte aufweist:

20                   -     Bereitstellen eines Nutzens (2) mit in Zeilen (6)  
                          und Spalten (7) angeordneten Bauteilpositionen (4),  
                          wobei in den Bauteilpositionen (4) Halbleiterchips  
                          (3) angeordnet sind, deren Kanten (5) nicht genau  
                          entsprechend den Zeilen (6) und Spalten (7) ausge-  
                          richtet sind, so dass sie Positionsfehler aufwei-  
                          sen,

25                   -     Herstellen einer Gesamtumverdrahtungsmaske mit Au-  
                          ßenkontaktflächen (8) und Umverdrahtungsleitungen  
                          (10) bis etwa zu Kanten (5) der Halbleiterchips (3)  
                          in Richtung auf Kontaktflächen (11) auf aktiven O-  
                          berseiten (12) der Halbleiterchips (3) für den ge-  
                          samten Nutzens (2),

30                   -     optische Lageerfassung und Auswertung der Positi-  
                          onsfehler der Halbleiterchips (3) in den Bauteilpo-  
                          sitionen (4) des Nutzens (2),



17

- 5        - Übertragen der Gesamtumverdrahtungsmaske auf den Nutzen (2) mit einem ersten Belichtungsschritt zur Vorbereitung der Ausbildung von Außenkontaktflächen (8) und von Umverdrahtungsleitungen (10) bis etwa zu den Kanten (5) der Halbleiterchips (3) in den Bauteilpositionen (4),
- 10       - Laserstrukturieren von verbindenden Leitungsstücken (13) zwischen den Enden (14) der Umverdrahtungsleitungen (10) in etwa an den Kanten (5) der Halbleiterchips (3) und den Kontaktflächen (11) auf den aktiven Oberseiten (12) der Halbleiterchips (3) mit einem zweiten Belichtungsschritt durch einen Laserschreibstrahl.
- 15    3. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass das Justieren und Übertragen der Struktur der zweiten Maske mittels Projektionsbelichten durchgeführt wird.
- 20    4. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass das Übertragen der Struktur einer Maske für den gesamten Nutzen mittels Kontaktbelichten durchgeführt wird.
- 25    5. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass das Laserstrukturieren einzeln für jedes verbindende Leitungsstück (13) nacheinander erfolgt.
- 30    6. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Strukturen der Masken und/oder der Schreibmuster des Laserschreibstrahls derart aneinander angepasst sind,

12

dass zur Übertragung der gesamten Struktur auf den Nutzen (2) eine einzige Photolackschicht auf einer zu strukturierenden Metallschicht des Nutzens (2) für beide Belichtungsschritte aufgebracht wird.

5

### Zusammenfassung

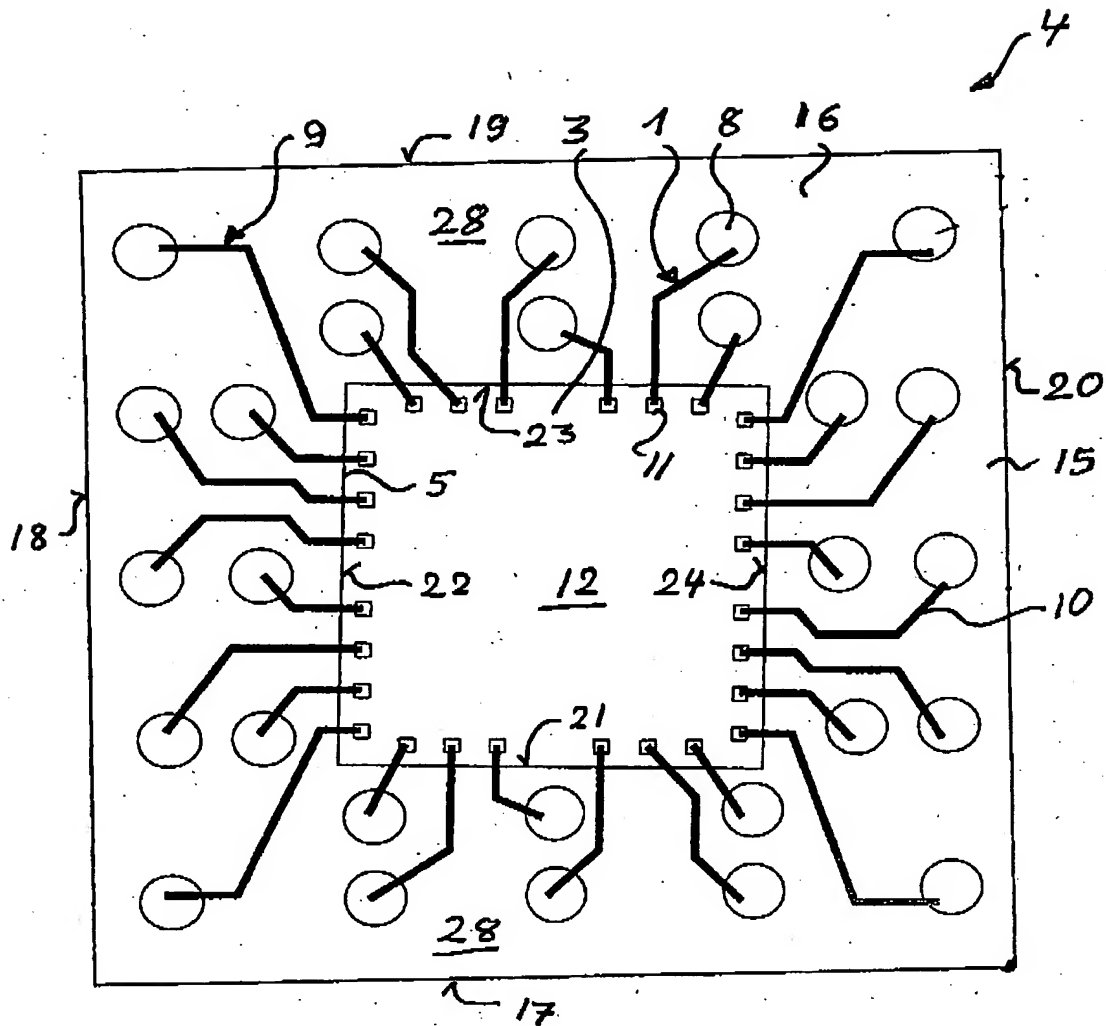
Die Erfindung betrifft ein Verfahren zum Aufbringen einer Um-  
verdrahtung (1) auf einen Nutzen (2). Dazu wird ein Nutzen  
5 (2) bereit gestellt, der eine koplanare Gesamtoberseite (16)  
einer Oberseite einer Kunststoffmasse und den Oberseiten von  
Halbleiterchips (3) aufweist. Das Verfahren stellt eine Um-  
verdrahtungslage mit Verwirklichung von Außenkontakten (8)  
und Umverdrahtungsleitungen (10) zur Verfügung, die durch ei-  
10 nen zweistufigen Belichtungsschritt Positionsfehler der Halb-  
leiterchips (3) in den Bauteilpositionen (4) des Nutzens (2)  
kompensiert.

[Figur 1]

15

4

FIG 1



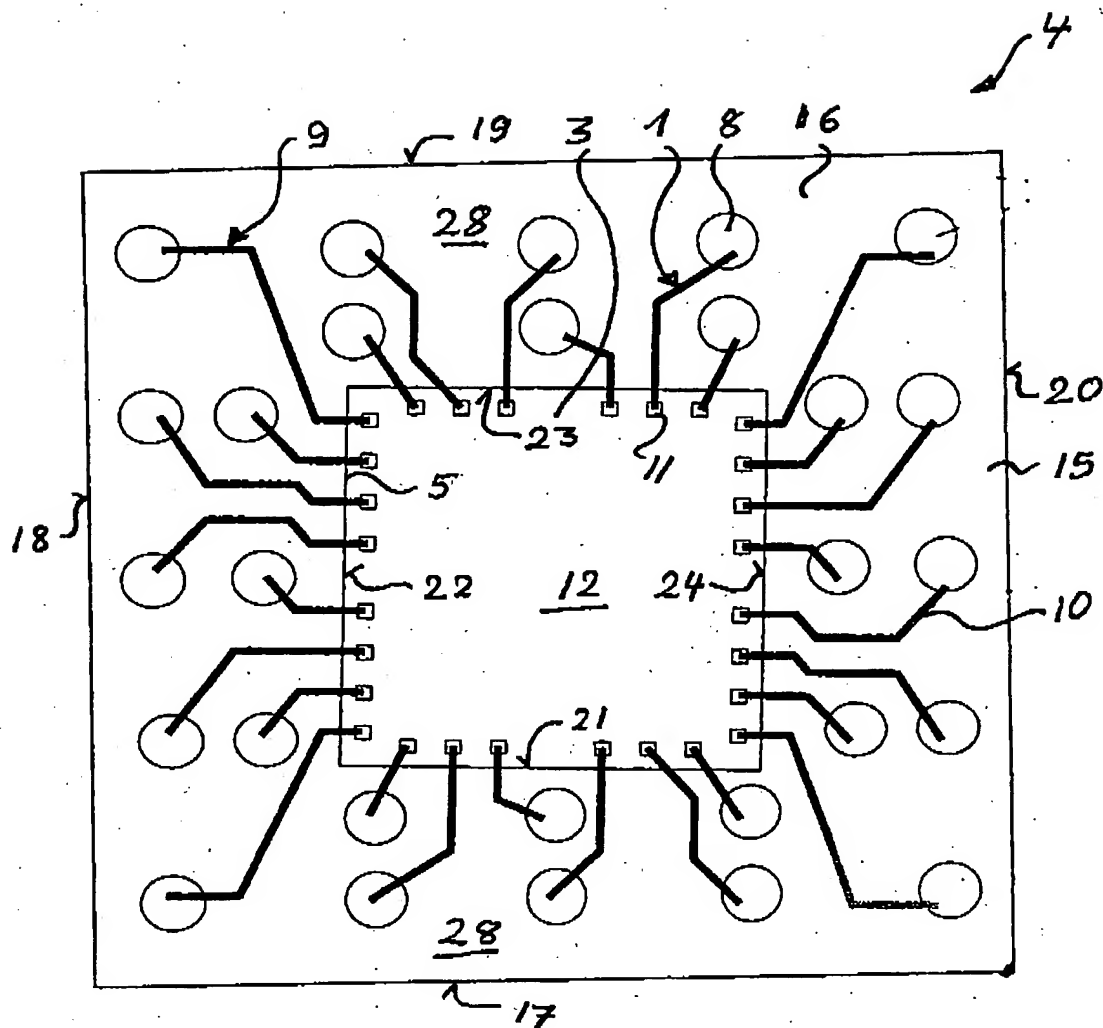
18

## Bezugszeichenliste

	1	Umverdrahtung
5	2	Nutzen
	3	Halbleiterchip
	4	Bauteilposition
	5	Kante eines Halbleiterchips
	6	Zeilen
10	7	Spalten
	8	Außenkontaktfläche
	9	Umverdrahtungsmuster
	10	Umverdrahtungsleitung
	11	Kontaktfläche
15	12	aktive Oberseite des Halbleiterchips
	13	Verbinden des Leitungsstücks
	14	Enden der Umverdrahtungsleitungen
	15	Kunststoffmasse
	16	Gesamtoberseite
20	17	Begrenzungslinie einer Bauteilposition
	18	Begrenzungslinie einer Bauteilposition
	19	Begrenzungslinie einer Bauteilposition
	20	Begrenzungslinie einer Bauteilposition
	21	Kante eines Halbleiterchips
25	22	Kante eines Halbleiterchips
	23	Kante eines Halbleiterchips
	24	Kante eines Halbleiterchips
	25	Rückseite eines Halbleiterchips
	26	Randseite eines Halbleiterchips
30	27	Randseite eines Halbleiterchips
	28	Oberseite der Kunststoffmasse
	29	Außenumfang des Nutzens

13

FIG 1



14

FIG 2

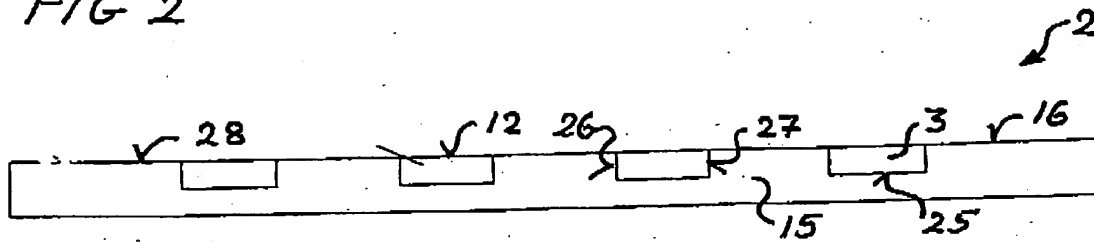
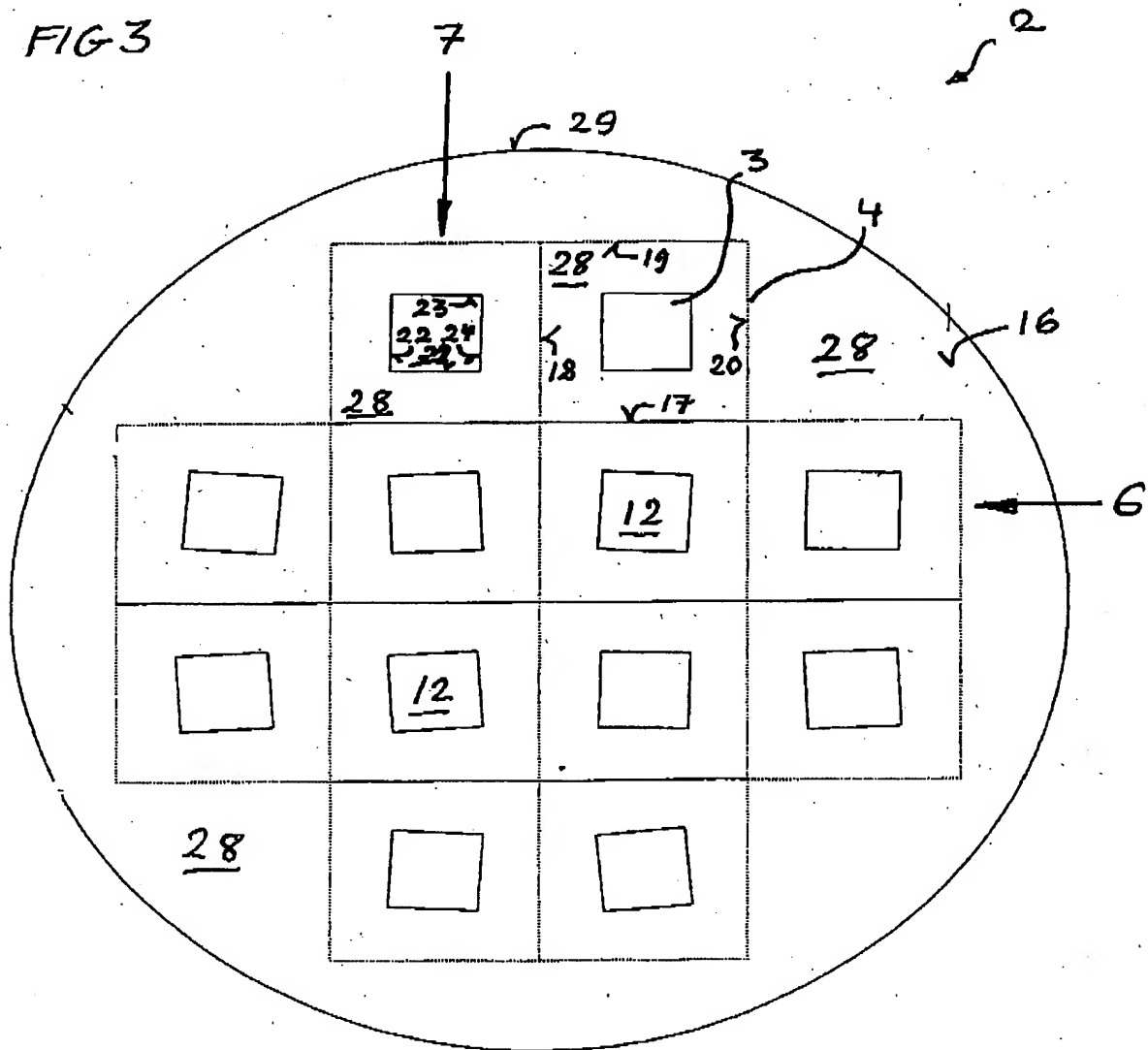
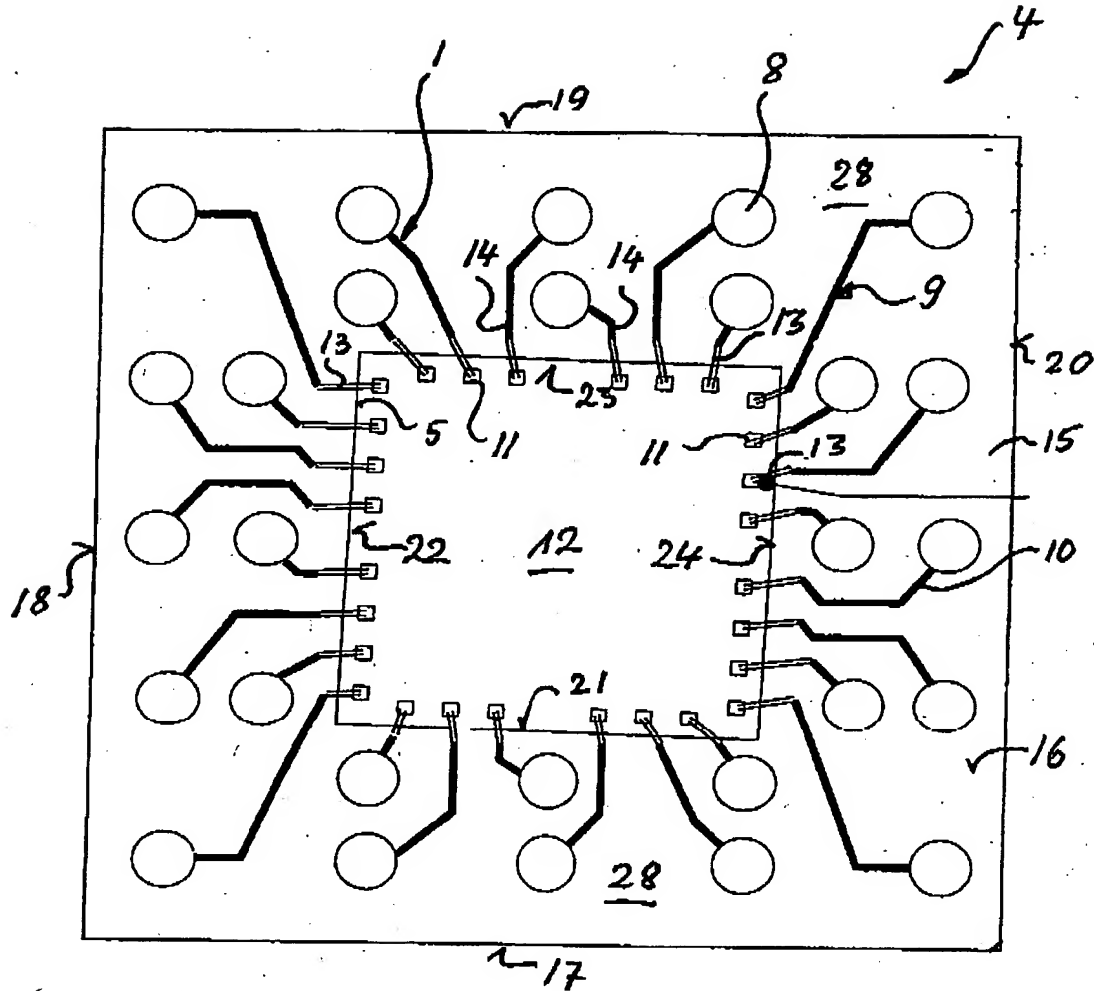


FIG 3



25

FIG 4



GESAMT SEITEN 26



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record.**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☒ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**